

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月19日

出 願 番 号

Application Number:

特願2000-384669

出 願 人

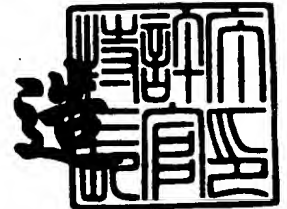
Applicant(s):

富士通株式会社

2001年 6月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3053623

【書類名】 特許願

【整理番号】 0000900

【提出日】 平成12年12月19日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G11C 11/406

【発明の名称】 クロック同期型ダイナミックメモリ

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 中村 俊和

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100094525

 【弁理士】

 【氏名又は名称】 土井 健二

【代理人】

 【識別番号】 100094514

 【弁理士】

 【氏名又は名称】 林 恒▲徳▼

【手数料の表示】

 【予納台帳番号】 041380

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック同期型ダイナミックメモリ

【特許請求の範囲】

【請求項 1】 供給されるクロックに同期して内部が動作する同期型ダイナミックメモリにおいて、

外部クロックを入力し内部にクロックを分配するクロック入力バッファと、
前記クロックに同期してコマンドを入力するコマンド入力バッファと、
前記クロックに同期してアドレスを入力するアドレス入力バッファと、
前記クロックに同期してデータを入力するデータ入力バッファとを有し、
前記クロック入力バッファは、通常動作モード時に、前記コマンド、アドレス、データ入力バッファにそれぞれ前記クロックを供給し、データ保持モード時に、前記コマンド入力バッファに前記クロックを供給し、前記アドレス入力バッファまたはデータ入力バッファには前記クロックの供給を停止することを特徴とする同期型ダイナミックメモリ。

【請求項 2】 請求項 1 において、

更に、前記コマンド入力バッファに前記クロックを供給する第 1 のクロック供給配線と、前記アドレス入力バッファまたは前記データ入力バッファに前記クロックを供給する第 2 のクロック供給配線とを有し、

前記クロック入力バッファは、通常動作モード時に、前記第 1 及び第 2 のクロック供給配線を駆動し、前記データ保持モード時に、前記第 1 のクロック供給配線を駆動し、前記第 2 のクロック供給配線の駆動を停止することを特徴とする同期型ダイナミックメモリ。

【請求項 3】 請求項 2 において、

前記第 1 のクロック供給配線は、前記第 2 のクロック供給配線より短いことを特徴とする同期型ダイナミックメモリ。

【請求項 4】 請求項 1 において、

前記クロック入力バッファは、通常動作モードとパワーダウンモードとを区別するクロックイネーブル信号を受信し、前記データ保持モード時は当該パワーダウンモードを含むことを特徴とする同期型ダイナミックメモリ。

【請求項 5】 供給されるクロックに同期して内部が動作する同期型ダイナミックメモリにおいて、

外部クロックを入力し内部にクロックを分配するクロック入力バッファと、
前記クロックに同期してコマンドを入力するコマンド入力バッファと、
前記クロックに同期してアドレスを入力するアドレス入力バッファと、
前記クロックに同期してデータを入力するデータ入力バッファとを有し、
前記クロック入力バッファは、通常動作モード時に、前記コマンド、アドレス、データ入力バッファにクロックを供給し、メモリへのアクセスがないデータ保持モード時は、前記コマンド入力バッファにクロックを供給し、前記アドレス入力バッファまたはデータ入力バッファへのクロック供給を停止し、パワーダウンモード時は、内部へのクロックの供給を停止することを特徴とする同期型ダイナミックメモリ。

【請求項 6】 請求項 5 において、

更に、前記コマンド入力バッファに前記クロックを供給する第 1 のクロック供給配線と、前記アドレス入力バッファまたは前記データ入力バッファに前記クロックを供給する第 2 のクロック供給配線とを有し、

前記クロック入力バッファは、通常動作モード時に、前記第 1 及び第 2 のクロック供給配線を駆動し、前記データ保持モード時に、前記第 1 のクロック供給配線を駆動し、前記第 2 のクロック供給配線の駆動を停止し、前記パワーダウンモード時は、前記第 1 及び第 2 のクロック供給配線の駆動を停止することを特徴とする同期型ダイナミックメモリ。

【請求項 7】 請求項 6 において、

前記第 1 のクロック供給配線は、前記第 2 のクロック供給配線より短いことを特徴とする同期型ダイナミックメモリ。

【請求項 8】 請求項 5 において、

前記クロック入力バッファは、通常動作モードとパワーダウンモードとを区別する第 1 の信号と、前記データ保持モードを指令する第 2 の信号とを入力することを特徴とする同期型ダイナミックメモリ。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 つに記載された同期型ダイナミッ

クメモリが、所定の処理を行う処理回路マクロと同じチップ上に混載されていることを特徴とするLSI。

【請求項1.0】供給されるクロックに同期して内部が動作する同期型ダイナミックメモリにおいて、

外部クロックを入力し内部にクロックを分配するクロック入力バッファと、

前記クロックに同期してコマンドを入力するコマンド入力バッファと、

前記クロックに同期してアドレスを入力するアドレス入力バッファと、

前記クロックに同期してデータを入力するデータ入力バッファとを有し、

第1の動作モードと第2の動作モードとを区別する信号が前記クロック入力バッファに供給され、

前記クロック入力バッファは、前記第1の動作モード時に、前記コマンド、アドレス、データ入力バッファにそれぞれ前記クロックを供給し、前記第2の動作モード時に、前記コマンド入力バッファに前記クロックを供給し、前記アドレス入力バッファまたはデータ入力バッファには前記クロックの供給を停止することを特徴とする同期型ダイナミックメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック同期型ダイナミックメモリに関し、コントローラからのリフレッシュコマンドに応答して実行されるセルフリフレッシュ動作時の消費電力を削減することができる同期型ダイナミックメモリに関する。

【0002】

【従来の技術】

クロック同期型ダイナミックメモリ（SDRAM）は、クロックに同期してコマンド、アドレス、書き込みデータを入力し、読み出しデータを出力することで、高速動作を実現する。供給されたクロックは、メモリ内部のコマンド、アドレス、データ入力出力バッファに供給され、そのクロックの立ち上がりエッジに同期して、メモリコントローラから供給されるコマンド、アドレス、書き込みデータを取り込み、読み出しデータを出力する。

【 0 0 0 3 】

SDRAMは、通常動作モードでは、所定の周期のクロックが供給され、メモリコントローラから供給されるコマンドをデコードして、コマンドに応じて、読み出し、書き込み、またはリフレッシュ動作などを行う。リフレッシュ動作では、メモリコントローラからリフレッシュコマンドが供給され、内部で生成されるリフレッシュアドレスに対してリフレッシュ動作が行われる。また、SDRAMは、アクセスがなくなると、メモリコントローラからの所定のコマンドによりパワーダウンモードになり、単にデータを保持する状態になる。パワーダウンモードでは、クロック入力が停止され、それに伴いコマンド、アドレス、データの入力や出力も停止する。

【 0 0 0 4 】

ダイナミックメモリは、メモリセルの記憶状態が一定期間後に消滅するため、一定の周期でリフレッシュ動作を行う必要がある。通常動作モードでは、メモリコントローラからの指令に応答して、リフレッシュ動作が行われる。一方、パワーダウンモードでは、メモリコントローラからの指令ではなく、内部でリフレッシュコマンドを発行してセルフリフレッシュが行われる。このセルフリフレッシュを行うために、SDRAMは、内部にリフレッシュタイミングを計測する発振器と、リフレッシュアドレスカウンタを内蔵する。そして、パワーダウンモードでは、発振器が一定周期毎にトリガー信号を発生し、それに応答して内部でリフレッシュコマンドが発行され、リフレッシュカウンタのアドレスに対してリフレッシュ動作が行われる。

【 0 0 0 5 】

パワーダウンモードでなくても、SDRAMへのアクセスがなくなり単にデータを保持している状態で、セルフリフレッシュ動作が繰り返して行われることも考えられる。

【 0 0 0 6 】

一方、ネットワーク用LSIや画像処理用LSIなどにおいて、1つのLSIチップ内に、必要なデータ処理を行うロジック回路とデータ処理中に大容量のデータを記録するSDRAMマクロとを混載することが提案されている。このよう

なメモリ混載型のロジック L S I では、メモリコントローラが内蔵され、それにより S D R A M マクロが制御される。

【 0 0 0 7 】

その場合、S D R A M マクロが通常動作モード時もパワーダウンモード時も、メモリコントローラがそのリフレッシュタイミングを管理し、S D R A M マクロに必要なタイミングでリフレッシュコマンドを供給することが提案されている。1 チップ内に混載される D R A M マクロに対しては、チップ内のコントローラがリフレッシュ動作全体を管理するほうが好ましいからである。

【 0 0 0 8 】

【発明が解決しようとする課題】

上記のメモリ混載型 L S I では、内蔵される S D R A M マクロは、S D R A M 単体に設けられていたセルフリフレッシュ機能を有していない。そして、パワーダウンモードなどのアクセスがないデータ保持状態でも、メモリコントローラからリフレッシュコマンドを供給され、それに応答して記憶データのリフレッシュを行うことになる。従って、メモリコントローラからのリフレッシュコマンドを取り込むためには、S D R A M マクロは、外部からクロックを入力し、それに同期してコマンドを入力する必要がある。そして、外部クロックは、クロック入力バッファから、内部のコマンド、アドレス、データの各入力バッファに分配される。

【 0 0 0 9 】

ところが、アクセスが行われないパワーダウンモードなどでは、アドレス入力やデータ入出力は行われないのかかわらず、外部クロックは、それらの入力バッファ、出力バッファにも分配される。メモリが大容量化すると、アドレス入力バッファの数が多くなり、また、データ入出力バッファの数も多くなりがちであり、それらの入力バッファに外部クロックを分配するためには、比較的長い配線や大きなトランジスタのゲート電極容量を駆動する必要があり、消費電流の増大を招くことになる。

【 0 0 1 0 】

そこで、本発明の目的は、アクセスが行われないデータ保持状態におけるクロ

ック供給に伴う消費電流を削減することができる同期型ダイナミックメモリ及びそれを混載するLSIを提供することにある。

【0011】

更に、本発明の別の目的は、パワーダウンモード状態におけるクロック供給に伴う消費電流を削減した同期型ダイナミックメモリ及びそれを混載するLSIを提供することにある。

【0012】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、同期型ダイナミックメモリにおいて、外部クロックを入力し内部に分配するクロック入力バッファと、コマンドを入力するコマンド入力バッファと、アドレスを入力するアドレス入力バッファと、データを入力するデータ入力バッファとを有し、通常動作モード時は、クロック入力バッファが前記コマンド、アドレス、データ入力バッファにクロックを供給し、パワーダウンモードなどのデータ保持モード時は、クロック入力バッファが前記コマンド入力バッファにクロックを供給し、前記アドレス、データ入力バッファにはクロックを供給しないことを特徴とする。

【0013】

上記の発明によれば、データ保持モード時において、外部クロックがコマンド入力バッファに供給されるので、リフレッシュコマンドを入力してセルフリフレッシュ動作を行うことができ、そのとき外部クロックのアドレス入力バッファやデータ入力バッファへの供給が行われないので、それに伴う消費電流を削減することができる。

【0014】

上記発明の好ましい実施例では、前記同期型ダイナミックメモリは、前記クロック入力バッファからコマンド入力バッファにクロックを供給する第1のクロック供給配線と、前記クロック入力バッファからアドレス入力バッファとデータ入力バッファにクロックを供給する第2のクロック供給配線とを有し、クロック入力バッファは、通常動作モード時は、前記第1及び第2のクロック供給配線を駆動し、データ保持モード時は、前記第1のクロック供給配線を駆動して、前記第

2のクロック供給配線の駆動を停止する。

【0015】

かかる実施例では、クロックを供給する配線網を、第1と第2のクロック供給配線に分離し、データ保持モード時に、第2のクロック供給配線の駆動が停止するので、クロック供給に必要な消費電流を大幅に削減することができる。

【0016】

更に、より好ましい実施例では、前記第1のクロック供給配線を第2のクロック供給配線より短いレイアウト構成にする。かかるレイアウト構成では、データ保持モード時に短い方の第1のクロック供給配線のみを駆動すれば良いので、消費電流の削減効果大である。

【0017】

上記の目的を達成するために、本発明の第2の側面は、同期型ダイナミックメモリにおいて、外部クロックを入力し内部に分配するクロック入力バッファと、コマンドを入力するコマンド入力バッファと、アドレスを入力するアドレス入力バッファと、データを入力するデータ入力バッファとを有し、通常動作モード時は、クロック入力バッファが前記コマンド、アドレス、データ入力バッファにクロックを供給し、メモリへのアクセスがないデータ保持モード時は、クロック入力バッファが前記コマンド入力バッファにクロックを供給し、前記アドレス、データ入力バッファにはクロックを供給せず、パワーダウンモード時は、クロック入力バッファが内部へのクロックの供給を停止することを特徴とする。

【0018】

上記の発明によれば、メモリアクセスが停止しているデータ保持モード時ににおいて、外部からのリフレッシュコマンドに応答してリフレッシュ動作を行うことができ、しかも、その時、外部クロックのアドレス入力バッファやデータ入力バッファへの供給が行われないので、それに伴う消費電流を削減することができる。更に、パワーダウンモード時には、全てのクロックの供給が停止され、メモリの全ての動作を停止させることができる。

【0019】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0020】

図1は、本実施の形態例におけるロジックマクロとSDRAMマクロを混載したLSIの構成図である。混載LSI1内には、一定のデータ処理を行う処理回路マクロ2と、同期型DRAMマクロ4と、そのSDRAMマクロをコントロールするメモリコントローラ3とが搭載される。処理回路マクロ2は、混載LSIの用途に対応したデータ処理を行うプロセッサ機能を有し、そのデータ処理を行う時に、大容量のデータの記憶、読み出しのために、メモリコントローラ3を介してSDRAMマクロ4にアクセスする。従って、処理回路マクロ2とメモリコントローラ3との間には、例えば、コマンドバスCMDBusとアドレス・データバスADBusが設けられる。

【0021】

また、メモリコントローラ3は、処理回路2からのアクセス命令に応答して、SDRAMマクロ4に対して、読み出し及び書き込みを行う。更に、メモリコントローラ3は、SDRAMマクロ4のデータ保持管理も行い、適切な周期でリフレッシュコマンドを発行してSDRAMマクロ4にリフレッシュを実行させる。また、メモリコントローラ3は、メモリへのアクセスがなくなると、SDRAMマクロ4をパワーダウンモードにして、消費電流を低減するように制御する。従って、メモリコントローラ3は、SDRAMマクロ4に対して、クロックCLK、クロックイネーブル信号CKE、コマンドCMD、アドレスA0～An、データDIを供給し、読み出し時にデータD0を受信する。

【0022】

クロックイネーブル信号CKEは、例えば、通常動作時においてHレベルになり、パワーダウンモード時においてLレベルになり、SDRAMマクロ4に対して、パワーダウンモードへの移行と通常動作モードへの復帰を命令する信号として利用される。パワーダウンモード時は、SDRAMマクロ4へのアクセスは行われないが、メモリセル内のデータ保持を行う必要があるので、一定周期でリフレッシュ動作が繰り返される。かかるパワーダウンモード時でのリフレッシュ動作

も、メモリコントローラ 3 からのリフレッシュコマンドに応答して行われる。

【 0 0 2 3 】

図 2 は、SDRAM マクロの構成図である。SDRAM マクロ 4 は、通常の SDRAM チップと同様に、クロック CLK を入力して内部の回路に供給するクロック入力バッファ 1 0 と、コマンド CMD を入力するコマンド入力バッファ 1 2 と、アドレス A0 ~ An を入力するアドレスバッファ 1 4 と、データ DI0 ~ DI n、D00 ~ D0 n の入出力バッファ 1 6 とを有する。コマンド入力バッファ 1 2 に取り込まれたコマンド CMD1 は、コマンドデコーダ 1 3 に供給されそこでデコードされ、各メモリバンク BANK0、BANK1 のコマンドラッチ回路 2 4 に供給される。

【 0 0 2 4 】

SDRAM マクロ 4 内には、複数のメモリバンク BANK0、BANK1 が設けられ、各メモリバンクは、メモリセルアレイ MCA と、ローデコーダ RDEC と、センスアンプ SA と、コラムデコーダ CDEC とが設けられた複数のメモリブロック BLK を有し、上記メモリセルアレイ MCA 内には、ワード線 WL とビット線 BL 及びメモリセル MC とが設けられる。各メモリバンク内のコマンドラッチ回路 2 4 にラッチされたコマンド（リードコマンド RD、ライトコマンド WR、リフレッシュコマンド REF）が制御回路 2 6 に供給され、制御回路 2 6 が、メモリブロックに対して、コマンドに対応する動作を制御する。各メモリブロック BLK は、データバス DB を介してセンスバッファ・ライトアンプ SB/WA に接続され、更に、入出力データバス I/ODB を介してデータ入出力バッファ 1 6 に接続される。

【 0 0 2 5 】

SDRAM マクロ 4 は、内部にリフレッシュアドレスカウンタ 2 2 を有する。このリフレッシュアドレスカウンタ 2 2 は、カウントアップ信号 C-UP に応答してリフレッシュすべきアドレスをインクリメントし、リフレッシュアドレス R-Add を出力する。このリフレッシュアドレス R-Add は、リフレッシュ動作時にセクタにより外部アドレス E-Add から切り替えられてメモリブロック BLK にアドレス Add として供給される。また、リフレッシュアドレス R-Add 及び外部アドレス E-Add の一部が、バンク選択アドレス B-Add として、コマンドラッチ回路 2 4 に供給される。上記カウントアップ信号 C-UP は、リフレッシュ動作毎に生成される。

【 0 0 2 6 】

図 2 の S D R A M マクロ 4 は、クロック入力バッファ 1 0 からコマンド入力バッファ 1 2 にクロックを供給する第 1 のクロック供給配線 CLK1 と、アドレス入力バッファ 1 4 やデータ入出力回路 1 6 にクロックを供給する第 2 のクロック供給配線 CLK2 とを、別々に有する。そして、通常動作時は、クロック入力バッファ 1 0 が、第 1 及び第 2 のクロック供給配線 CLK1, CLK2 を駆動して、各入力バッファ 1 2, 1 4, 1 6 にクロックを供給して、クロック同期動作を可能にする。一方、パワーダウンモード時等のメモリへのアクセスがないデータ保持モードにおいては、クロック入力バッファ 1 0 は、第 2 のクロック供給配線 CLK2 の駆動を停止して、アドレス入力バッファ 1 4 とデータ入出力バッファ 1 6 へのクロックの供給を停止し、無駄な消費電流を削減する。

【 0 0 2 7 】

本実施の形態例の S D R A M マクロでは、通常動作時及びデータ保持モード時のいずれにおいても、メモリコントローラ 3 からリフレッシュコマンドが供給され、内蔵するリフレッシュカウンタが生成するリフレッシュアドレスに対してリフレッシュ動作が実行される。従って、メモリコントローラ 3 は、通常動作時及びデータ保持モード時の両方において、リフレッシュのタイミングを管理する。

【 0 0 2 8 】

図 3 は、本実施の形態例におけるクロック供給配線の構成図である。クロック入力バッファ 1 0 は、クロック CLK を入力し、第 1 のクロック供給配線 CLK1 を介してコマンド入力バッファ群 1 2 にクロックを供給し、第 2 のクロック供給配線 CLK2 を介してデータ入力バッファ群 16A とアドレス入力バッファ群 1 4 とにクロックを供給する。コマンド入力バッファ群 1 2 は、コマンド CMD が 4 つの信号 /RAS, /CAS, /WE, /CS からなる場合、それぞれの信号を取り込む 4 個の入力バッファで構成される。図 3 の例では、データ入力バッファ群 16A は、1 2 8 本のデータ入出力端子 DI0-127 をそれぞれ入力する入力バッファで構成され、アドレス入力バッファ群 1 4 は、1 0 本のアドレス A00-A09 をそれぞれ入力する入力バッファで構成される。尚、図示しないが、第 1 のクロック供給配線 CLK1 は、コマンド入力バッファ群 1 2 以外に、リフレッシュ動作に必要な内部回路にも接続され

る。

【 0 0 2 9 】

図 2, 3 に示される通り, クロック入力バッファからコマンド入力バッファまで延在する第 1 のクロック供給配線 CLK1 は, クロック入力バッファからアドレス又はデータ入力バッファまで延在する第 2 のクロック供給配線 CLK2 よりも短くなるように, レイアウトがされていることが好ましい。これにより, データ保持モードでは, 短い方の第 1 のクロック供給配線 CLK1 を駆動すればよく, 長い方の第 2 のクロック供給配線 CLK2 の駆動を停止することができ, 消費電流の削減効果が大きくなる。

【 0 0 3 0 】

図 4 は, クロック入力バッファ 1 0 の第 1 の例を示す回路図である。クロック入力バッファ 1 0 には, 外部からのクロック CLK とクロックイネーブル信号 CKE とが供給され, インバータ 3 0 ~ 3 2, NAND ゲート 3 3 及びインバータ 3 4, 3 5 を有する。インバータ 3 0 ~ 3 2 により, 第 1 の内部クロック CLK1z, CLK1x が生成され, 第 1 のクロック供給配線 CLK1 に出力される。また, クロックイネーブル信号 CKE は外部クロック CLK と共に NAND ゲート 3 3 に供給され, クロックイネーブル信号 CKE が H レベルの時に, NAND ゲート 3 3 及びインバータ 3 4, 3 5 により, 第 2 の内部クロック CLK2z, CLK2x が生成され, 第 2 のクロック供給配線 CLK2 に出力される。クロックイネーブル信号 CKE が L レベルの時は, NAND ゲート 3 3 の出力がクロック CLK にかかわらず L レベルに固定され, 第 2 の内部クロック CLK2z, CLK2x は停止し, 第 2 のクロック供給配線 CLK2 の駆動が停止する。第 1 及び第 2 の内部クロック CLK1z, x, CLK2z, x は, それぞれ逆相のクロック信号である。

【 0 0 3 1 】

図 5 は, コマンド, アドレス, データ入力バッファ回路の一例を示す回路図である。この例では, 入力バッファ回路は, 外部からの入力信号 IN が入力するインバータ 3 6 と, 内部クロック信号 CLKz, CLKx により開閉するトランスファークゲート 3 7, 3 9 と, 2 個のインバータからなるラッチ回路 3 8, 4 0 と, 最終段インバータ 4 1 とを有する。この入力バッファ回路は, 内部クロック CLKz が L レベルで CLKx が H レベルの時に, ゲート 3 7 が開き, 外部からの入力信号 IN が前

段ラッチ回路 3 8 にラッチされ、次のタイミングで内部クロック CLK_z が H レベルで CLK_x が L レベルの時に、前記ラッチされた入力信号が後段ラッチ回路 4 0 にラッチされ、インバータ 4 1 により出力される。

【 0 0 3 2 】

このように、入力バッファ回路内のトランスファークゲート 3 7, 3 9 のトランジスタのゲート電極に、内部クロックが供給され、それらのトランジスタを制御することにより、入力バッファ回路により外部からの入力信号 I N がラッチされる。従って、内部クロック CLK_z, CLK_x が供給されれば、入力バッファ回路は外部からの入力信号をクロックに同期して取り込み、内部の後段の回路に出力する。逆に、内部クロックが供給されないと、入力バッファ回路は外部からの入力信号を取り込まず、従って、インバータ 3 6 を除いて動作電流を消費することはない。

【 0 0 3 3 】

図 5 に示される通り、第 1 及び第 2 のクロック供給配線 CLK₁, 2 は、入力バッファ回路のトランスファークゲートのゲート電極に接続される。複数の入力バッファ回路にクロックが供給される場合は、このクロック供給配線に接続されるゲート電極の数も大きくなる。従って、クロック供給配線を駆動してクロックを供給するためには、延在するクロック供給配線と共に、入力バッファ回路のゲート容量も駆動する必要がある、クロック供給には大きな電流消費を伴う。

【 0 0 3 4 】

図 4 に戻り、クロック入力バッファ 1 0 は、クロックイネーブル信号 CKE が H レベルの時、第 1 及び第 2 のクロック供給配線 CLK₁, CLK₂ を駆動して第 1 及び第 2 の内部クロックを出力する。一方、クロックイネーブル信号 CKE が L レベルの時、第 1 のクロック供給配線 CLK₁ のみ駆動し、第 2 のクロック供給配線 CLK₂ の駆動を停止する。

【 0 0 3 5 】

図 6 は、かかるクロック入力バッファ 1 0 の動作を示す図である。この例では、クロックイネーブル信号 CKE が、通常動作時 (CKE=H レベル) とパワーダウンモード時 (CKE=L レベル) とを制御するコマンド信号になっている。そして、このパ

ワーダウンモード時でも、メモリセルに保持されたデータを保持するようにリフレッシュ動作が繰り返される。

【 0 0 3 6 】

図 6 に示される通り、通常動作時にクロックイネーブル信号 CKE が H レベルになり、図 4 のクロック入力バッファ 1 0 は、第 1 及び第 2 のクロック供給配線を駆動する。これにより、コマンド、アドレス、データ入力バッファ回路 1 2, 1 4, 1 6 A に内部クロックが供給され、それらの入力バッファは、外部からのコマンド CMD, アドレス A0~An, データ DI0~DIn を入力する。一方、パワーダウンモード時は、データ保持動作が必要であり、クロックイネーブル信号 CKE が L レベルになり、クロック入力バッファ 1 0 は、第 1 のクロック供給配線 CLK1 のみを駆動し、第 2 のクロック供給配線 CLK2 の駆動を停止する。これにより、コマンド入力バッファ 1 2 には内部クロック CLK1z,x が供給されコマンドを入力することができるが、アドレス、データ入力バッファ 1 4, 1 6 A には内部クロック CLK2z,x が供給されない。

【 0 0 3 7 】

パワーダウンモード時は、メモリコントローラ 3 がコマンド CMD としてリフレッシュコマンド REF し SDRAM マクロ 4 に発行しないので、パワーダウンモード時は、一種のセルフリフレッシュエントリーモードになる。そして、リフレッシュコマンドに応答して、内部でリフレッシュ動作を行うことで、データが保持される。

【 0 0 3 8 】

図 7 は、本実施の形態例における SDRAM マクロの動作タイミングチャートである。この例では、図 4 に示したクロック入力バッファ回路が使用される。図 7 に示される通り、通常動作モード T1 では、クロックイネーブル信号 CKE が H レベルになり、クロック入力バッファ 1 0 は、第 1 及び第 2 のクロック供給配線 CLK1, CLK2 に第 1 及び第 2 の内部クロックを出力する。従って、リードコマンド READ が供給される場合は、第 1 の内部クロック CLK1 に同期してそのリードコマンド READ がコマンド入力バッファ 1 2 により取り込まれ、第 2 の内部クロック CLK2 に同期してアドレス A0~An がアドレス入力バッファ 1 4 により取り込まれる。

コマンドデコーダ 1 3 は入力されたコマンド CMD1 をデコードして、内部のリードコマンド信号 RD を H レベルにして、制御回路 2 6 に読み出し動作を指令する。その結果、次のクロック CLK の立ち上がりエッジでデータ入出力バッファ 1 6 からデータ入出力端子 DI、DO に読み出しデータ DO が出力される。

【 0 0 3 9 】

また、ライトコマンド WRT が供給される場合は、第 1 の内部クロック CLK1 に同期してライトコマンド WRT がコマンド入力バッファ 1 2 により取り込まれ、第 2 の内部クロック CLK2 に同期してアドレス A0 ~ An がアドレス入力バッファ 1 4 に、ライトデータ DI がデータ入力バッファ 1 6 A によりそれぞれ取り込まれる。そして、コマンドデコーダ 1 3 が内部ライトコマンド信号 WR を H レベルにして、制御回路 2 6 に読み出し動作を指令する。それにより、ライトデータ DI がメモリセルに書き込まれる。

【 0 0 4 0 】

次に、リフレッシュコマンド REFR が供給される場合は、メモリコントローラ 3 は、リフレッシュコマンド REFR を供給し、アドレスやデータは供給しない。そして、リフレッシュコマンド REFR は、第 1 の内部クロック CLK1 に同期してコマンド入力バッファ 1 2 により取り込まれ、内部のリフレッシュコマンド信号 REF が H レベルになる。それにより、制御回路 2 6 は、セクタ信号 SEL によりセクタ回路 2 8 を切り替え、リフレッシュアドレスカウンタ 2 2 が生成するリフレッシュアドレス R-Add をアドレス信号 Add として、メモリブロック BLK に供給する。その結果、リフレッシュアドレス R-Add のメモリセルが、リフレッシュ動作の対象になる。

【 0 0 4 1 】

このように、通常動作時には、メモリコントローラ 3 が、リードコマンド READ、ライトコマンド WRT、リフレッシュコマンド REFR のいずれかを供給してくるので、SDRAM マクロ内では、クロック入力バッファ 1 0 が、第 1 及び第 2 の内部クロック CLK1、CLK2 を出力して、コマンド、アドレス、データの入力バッファに供給し、それらの入力信号をクロックに同期して取り込めるようにする。

【 0 0 4 2 】

一方、メモリセルへのアクセスがないデータ保持モードとなるパワーダウンモードT2では、メモリコントローラ3がクロックイネーブル信号CKEをLレベルにする。これに応答して、クロック入力バッファ10は、図4にて説明した通り、第2の内部クロックCLK2の生成を停止し、第2のクロック供給配線の駆動が停止する。これにより、第2のクロック供給配線の駆動に必要な消費電流を節約することができる。

【0043】

かかるデータ保持モードであるパワーダウンモード時T2において、メモリコントローラ3は、リフレッシュコマンドREFRを一定の周期で供給する。コマンド入力バッファ12には、第1の内部クロックCLK1が供給され続けているので、リフレッシュコマンドREFRは、第1の内部クロックCLK1に同期してコマンド入力バッファ12に取り込まれ、コマンドデコーダ13の供給される。そして、コマンドデコーダ13が、内部リフレッシュコマンド信号REFをHレベルにし、内部でリフレッシュ動作が行われる。その時のリフレッシュアドレスは、通常動作時と同様に、内部のリフレッシュアドレスカウンタ22のリフレッシュアドレスR-Addが利用される。

【0044】

この場合、メモリコントローラ3からは、アドレスもデータも供給されないので、クロック入力バッファ10が第2の内部クロックCLK2をアドレス入力バッファ14やデータ入力バッファ16Aに供給しなくても、何らリフレッシュ動作に支障はない。即ち、データ保持モードT2では、メモリコントローラ3からリードコマンドやライトコマンドは発行されないので、SDRAMマクロ4内で、クロック入力バッファ10が第2の内部クロックを出力しなくても、動作に支障はない。

【0045】

尚、上記の例では、クロックイネーブル信号CKEにより、クロック入力バッファ10の動作が制御されたが、クロックイネーブル信号以外の信号により同様の制御がなされても良い。

【0046】

図 8 は、クロック入力バッファの第 2 の例を示す回路図である。また、図 9 は、図 8 のクロック入力バッファ 1 0 の動作を示す図である。図 8 のクロック入力バッファ回路 1 0 は、図 4 の回路に NAND ゲート 5 0 とインバータ 5 1 が追加されている。インバータ 5 2 ～ 5 4、5 6、5 7 及び NAND ゲート 5 5 は、図 4 のインバータ 3 0 ～ 3 2、3 1、3 2 及び NAND ゲート 3 3 と同じ回路構成である。そして、図 8 のクロック入力バッファ回路は、NAND ゲート 5 0 に外部クロック CLK とパワーダウンモードを指令するクロックイネーブル信号 CKE とが入力され、NAND ゲート 5 5 には、インバータ 5 1 の出力とリフレッシュエントリーモード信号 R-ENT が入力される。

【 0 0 4 7 】

図 8 のクロック入力バッファ回路の動作は、図 9 の表に示される通り、通常動作時は、メモリコントローラ 3 により、クロックイネーブル信号 CKE が H レベル、リフレッシュエントリー信号 R-ENT が H レベルに制御される。それにより、図 8 のクロック入力バッファ回路 1 0 は、第 1 の内部クロック CLK1z,x と第 2 の内部クロック CLK2z,x の両方を生成する。その結果、図 7 に示した通常動作モード T 1 での動作が行われる。

【 0 0 4 8 】

次に、メモリセルへのアクセスはないが内部のデータを保持するデータ保持モードでは、クロックイネーブル信号 CKE は H レベルのまま、リフレッシュエントリー信号 R-ENT が L レベルになり、メモリへのアクセスは禁止されるが、リフレッシュ動作は継続される。つまり、図 7 に示したデータ保持モード T 2 と同じ動作が行われる。従って、セルフリフレッシュエントリーモードになる。このモード T 2 では、前述の通り、メモリコントローラ 3 が、一定の周期でリフレッシュコマンドを SDRAM マクロ 4 に供給し、コマンド入力バッファ 1 2 がそのコマンドを入力し、内部のリフレッシュ動作を可能にする。このモード T 2 では、リードコマンドやライトコマンドが供給されないので、SDRAM マクロ内のアドレス入力バッファやデータ入力バッファへの第 2 の内部クロック CLK2 の供給が停止されていても、何ら動作に支障はない。

【 0 0 4 9 】

最後に、内部のデータ保持も必要ないパワーダウンモードにおいては、クロックイネーブル信号CKEがLレベルになる。それにより、図8のクロック入力バッファ10のNANDゲート50の出力は、Hレベル固定になる。その結果、第1及び第2の内部クロックCLK1z,x, CLK2z.xのいずれも停止し、SDRAMマクロ4は内部動作を停止し、消費電流が大幅に削減される。このモードでは、SDRAMマクロ4は、クロックイネーブル信号CKEがHレベルになるのを検出できるだけの最低限の内部回路のみが動作するだけになる。

【0050】

以上、図8、9に示したクロック入力バッファ回路の第2の例では、通常動作時と、データ保持モードと、パワーダウンモードの3つの状態に対応して、第1及び第2の内部クロックの生成、第1の内部クロックのみの生成、そして、両クロック共に停止を行うことができる。従って、メモリセルへのアクセスがないデータ保持モードでは、通常動作に比較して消費電力を節約することができる。

【0051】

以上の実施の形態例では、同一チップ内にロジック回路マクロとSDRAMマクロとが混載される場合について説明した。しかしながら、本発明はそれに限定されず、単独のSDRAMチップにも適用することもできる。

以上の実施の形態例をまとめると、次の付記の通りである。

(付記1) 供給されるクロックに同期して内部が動作する同期型ダイナミックメモリにおいて、

外部クロックを入力し内部にクロックを分配するクロック入力バッファと、
前記クロックに同期してコマンドを入力するコマンド入力バッファと、
前記クロックに同期してアドレスを入力するアドレス入力バッファと、
前記クロックに同期してデータを入力するデータ入力バッファとを有し、
前記クロック入力バッファは、通常動作モード時に、前記コマンド、アドレス、データ入力バッファにそれぞれ前記クロックを供給し、データ保持モード時に、前記コマンド入力バッファに前記クロックを供給し、前記アドレス入力バッファまたはデータ入力バッファには前記クロックの供給を停止することを特徴とす

る同期型ダイナミックメモリ。

（付記 2）付記 1 において、

更に、前記コマンド入力バッファに前記クロックを供給する第 1 のクロック供給配線と、前記アドレス入力バッファまたは前記データ入力バッファに前記クロックを供給する第 2 のクロック供給配線とを有し、

前記クロック入力バッファは、通常動作モード時に、前記第 1 及び第 2 のクロック供給配線を駆動し、前記データ保持モード時に、前記第 1 のクロック供給配線を駆動し、前記第 2 のクロック供給配線の駆動を停止することを特徴とする同期型ダイナミックメモリ。

（付記 3）付記 2 において、

前記第 1 のクロック供給配線は、前記第 2 のクロック供給配線より短いことを特徴とする同期型ダイナミックメモリ。

（付記 4）付記 1 において、

前記クロック入力バッファは、通常動作モードとパワーダウンモードとを区別するクロックイネーブル信号を受信し、前記データ保持モード時は当該パワーダウンモードを含むことを特徴とする同期型ダイナミックメモリ。

（付記 5）供給されるクロックに同期して内部が動作する同期型ダイナミックメモリにおいて、

外部クロックを入力し内部にクロックを分配するクロック入力バッファと、

前記クロックに同期してコマンドを入力するコマンド入力バッファと、

前記クロックに同期してアドレスを入力するアドレス入力バッファと、

前記クロックに同期してデータを入力するデータ入力バッファとを有し、

前記クロック入力バッファは、通常動作モード時に、前記コマンド、アドレス、データ入力バッファにクロックを供給し、メモリへのアクセスがないデータ保持モード時は、前記コマンド入力バッファにクロックを供給し、前記アドレス入力バッファまたはデータ入力バッファへのクロック供給を停止し、パワーダウンモード時は、内部へのクロックの供給を停止することを特徴とする同期型ダイナミックメモリ。

（付記 6）付記 5 において、

更に、前記コマンド入力バッファに前記クロックを供給する第 1 のクロック供給配線と、前記アドレス入力バッファまたは前記データ入力バッファに前記クロックを供給する第 2 のクロック供給配線とを有し、

前記クロック入力バッファは、通常動作モード時に、前記第 1 及び第 2 のクロック供給配線を駆動し、前記データ保持モード時に、前記第 1 のクロック供給配線を駆動し、前記第 2 のクロック供給配線の駆動を停止し、前記パワーダウンモード時は、前記第 1 及び第 2 のクロック供給配線の駆動を停止することを特徴とする同期型ダイナミックメモリ。

(付記 7) 付記 6 において、

前記第 1 のクロック供給配線は、前記第 2 のクロック供給配線より短いことを特徴とする同期型ダイナミックメモリ。

(付記 8) 付記 5 において、

前記クロック入力バッファは、通常動作モードとパワーダウンモードとを区別する第 1 の信号と、前記データ保持モードを指令する第 2 の信号とを入力することを特徴とする同期型ダイナミックメモリ。

(付記 9) 付記 1 乃至 8 のいずれか 1 つに記載された同期型ダイナミックメモリが、所定の処理を行う処理回路マクロと同じチップ上に混載されていることを特徴とする L S I。

(付記 1 0) 付記 9 において、

更に、前記同期型ダイナミックメモリをコントロールするメモリコントローラを有することを特徴とする L S I。

(付記 1 1) 供給されるクロックに同期して内部が動作する同期型ダイナミックメモリにおいて、

外部クロックを入力し内部にクロックを分配するクロック入力バッファと、
前記クロックに同期してコマンドを入力するコマンド入力バッファと、
前記クロックに同期してアドレスを入力するアドレス入力バッファと、
前記クロックに同期してデータを入力するデータ入力バッファとを有し、

第 1 の動作モードと第 2 の動作モードとを区別する信号が前記クロック入力バッファに供給され、

前記クロック入力バッファは、前記第 1 の動作モード時に、前記コマンド、アドレス、データ入力バッファにそれぞれ前記クロックを供給し、前記第 2 の動作モード時に、前記コマンド入力バッファに前記クロックを供給し、前記アドレス入力バッファまたはデータ入力バッファには前記クロックの供給を停止することを特徴とする同期型ダイナミックメモリ。

【 0 0 5 2 】

【発明の効果】

以上、本発明によれば、同期型ダイナミックメモリのデータ保持モード時ににおいて、アドレス入力バッファやデータ入力バッファなどへのクロック供給を停止するので、クロック供給に伴う消費電流を節約することができる。

【 0 0 5 3 】

以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【図面の簡単な説明】

【図 1】

本実施の形態例におけるロジックマクロと S D R A M マクロとを混載した L S I の構成図である。

【図 2】

本実施の形態例における S D R A M マクロの構成図である。

【図 3】

本実施の形態例におけるクロック供給配線の構成図である。

【図 4】

クロック入力バッファの第 1 の例を示す回路図である。

【図 5】

コマンド、アドレス、データ入力バッファ回路の一例を示す回路図である。

【図 6】

図 4 のクロック入力バッファ 1 0 の動作を示す図である。

【図 7】

本実施の形態例における S D R A M マクロの動作タイミングチャートである。

【図 8】

クロック入力バッファの第 2 の例を示す回路図である。

【図 9】

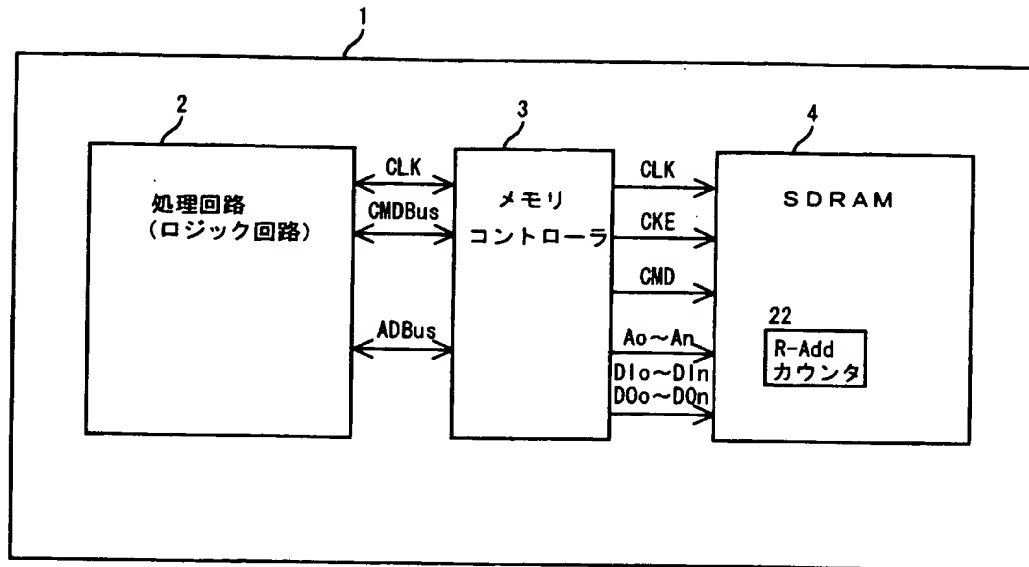
図 8 のクロック入力バッファ 1 0 の動作を示す図である。

【符号の説明】

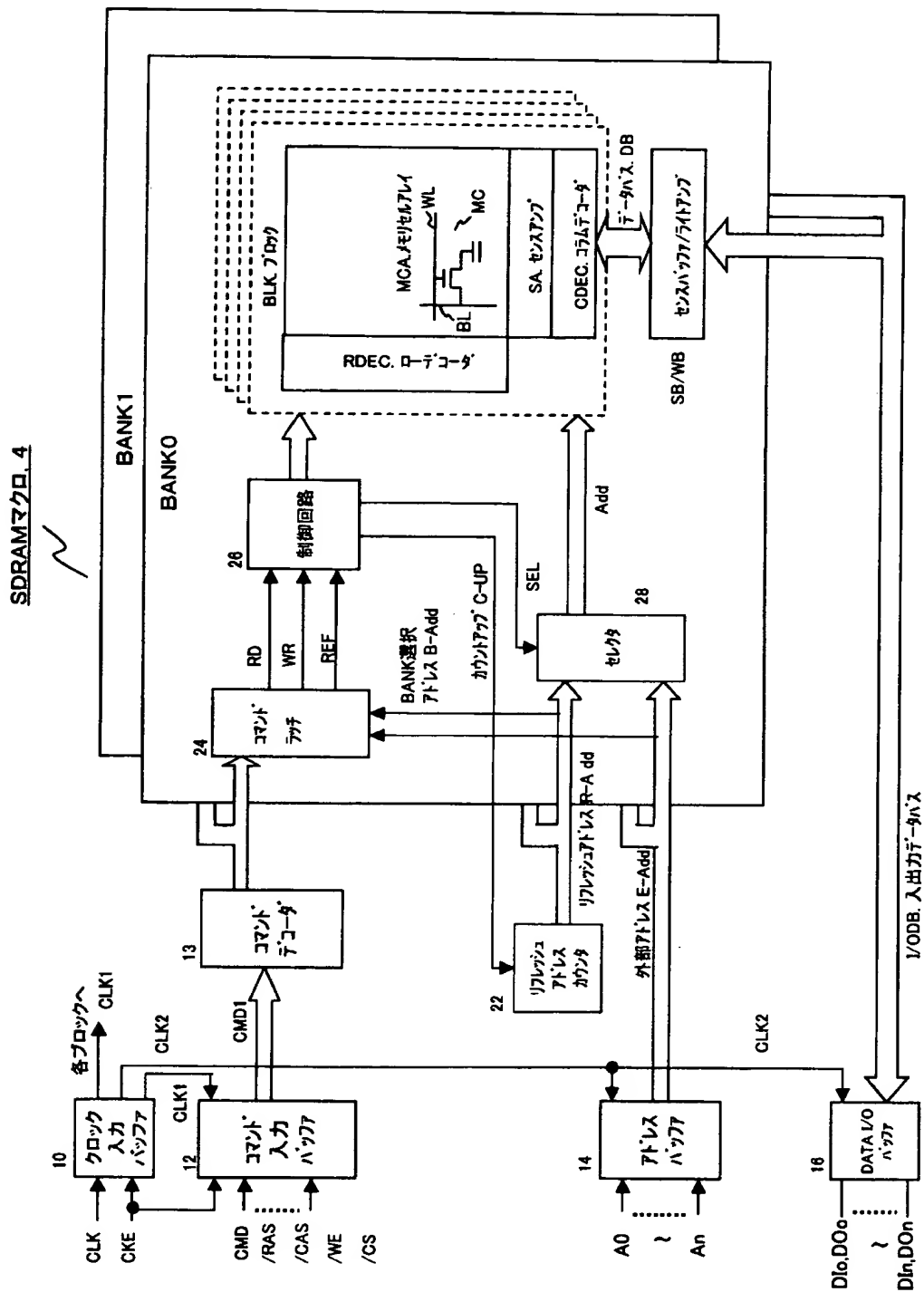
1 0	クロック入力バッファ
1 2	コマンド入力バッファ
1 4	アドレス入力バッファ
1 6	データ入出力バッファ
CLK1	第 1 のクロック供給配線
CLK2	第 2 のクロック供給配線
CLK1z,x	第 1 の内部クロック
CLK2z,x	第 2 の内部クロック
CLK	外部クロック
CKE	クロックイネーブル信号
R-ENT	リフレッシュエントリ信号

【書類名】 図面

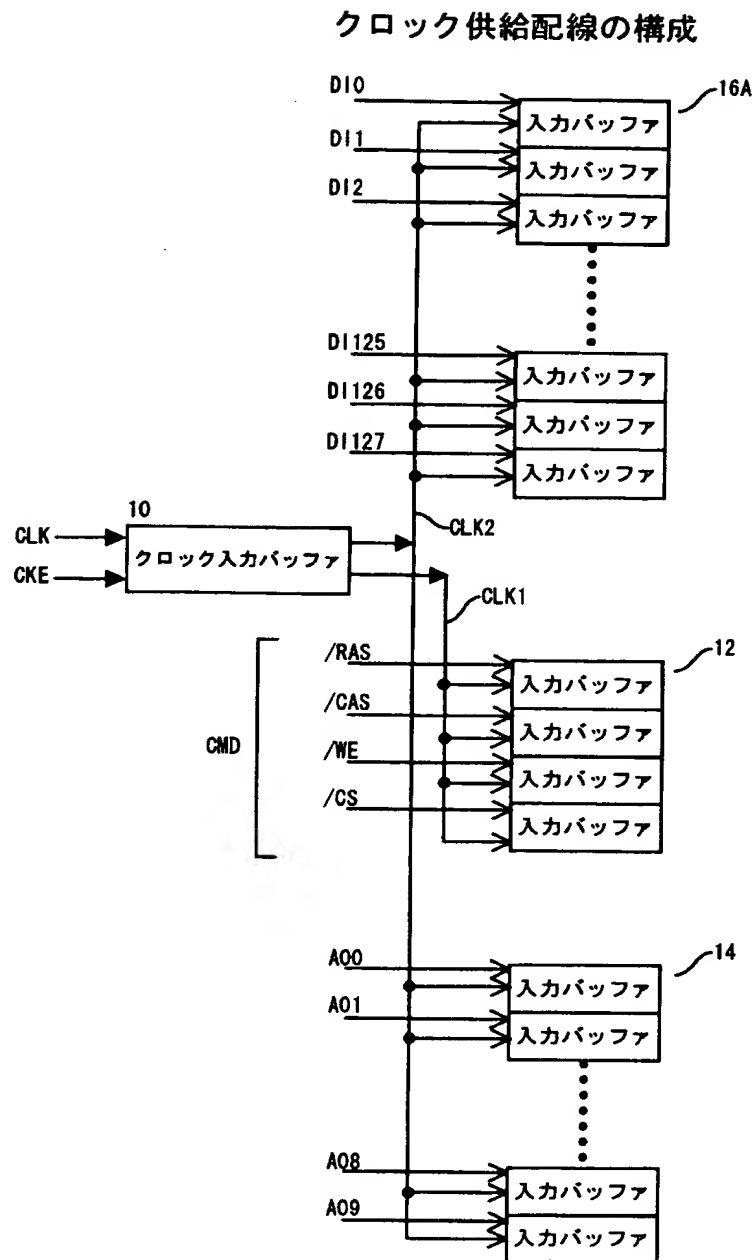
【図 1】



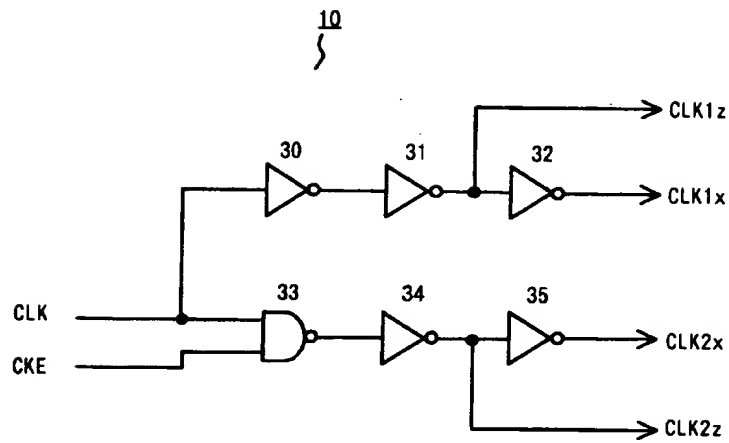
【図 2】



【図 3】

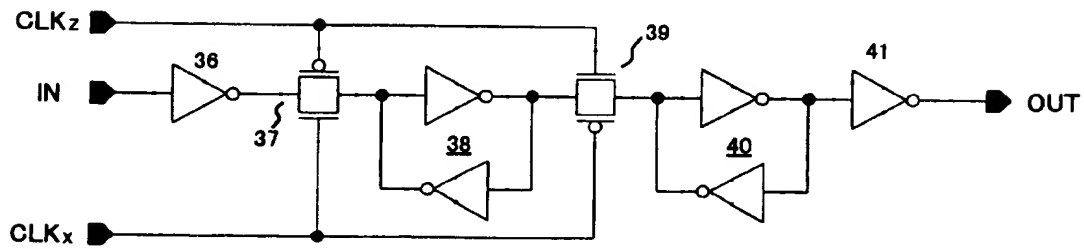


【図 4】



【図 5】

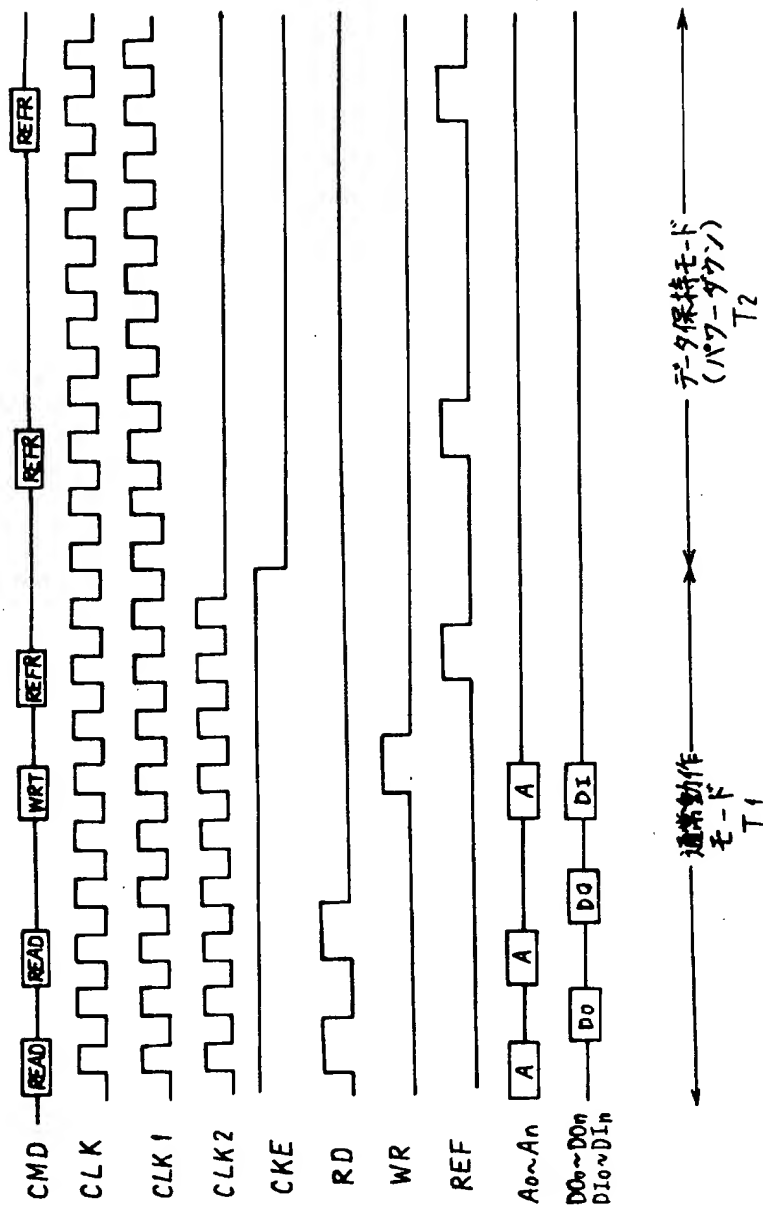
入力バッファ回路例



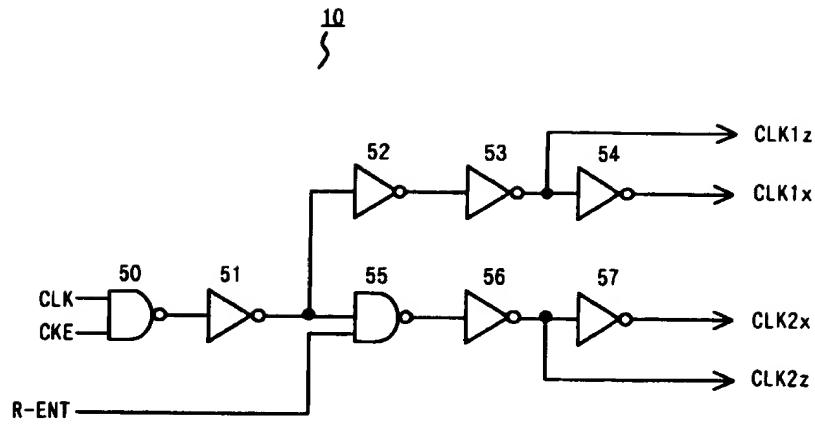
【図 6】

CKE	動作モード	クロック
H	通常動作	CLK1 CLK2
L	パワーダウン (セルフリフレッシュ エントリーモード)	CLK2

【図 7】



【図 8】



【図 9】

CKE	R-ENT	動作モード	クロック
H	H	通常動作	CLK1 CLK2
H	L	セルフリフレッ シュエントリー モード	CLK1
L	—	パワーダウン	—

【書類名】

要約書

【要約】

【課題】 リフレッシュ動作を繰り返すだけのデータ保持モード時の消費電流を削減する。

【解決手段】 同期型ダイナミックメモリにおいて、外部クロックを入力し内部に分配するクロック入力バッファと、コマンドを入力するコマンド入力バッファと、アドレスを入力するアドレス入力バッファと、データを入力するデータ入力バッファとを有し、通常動作モード時は、クロック入力バッファが前記コマンド、アドレス、データ入力バッファにクロックを供給し、パワーダウンモードなどのデータ保持モード時は、クロック入力バッファが前記コマンド入力バッファにクロックを供給し、アドレス、データ入力バッファにはクロックを供給しないことを特徴とする。かかるメモリによれば、データ保持モード時において、外部クロックがコマンド入力バッファに供給されるので、リフレッシュコマンドを入力してセルフリフレッシュ動作を行うことができ、そのとき外部クロックのアドレス入力バッファやデータ入力バッファへの供給が行われないので、それに伴う消費電流を削減することができる。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2000-384669
受付番号	50001633952
書類名	特許願
担当官	塩崎 博子 1606
作成日	平成 12 年 12 月 25 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜 3-9-5 第三東 昇ビル 3 階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜 3-9-5 第三東 昇ビル 3 階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社